

-864
10/656,902

Requested Patent: JP6232846A

Title: TRANSMITTER ;

Abstracted Patent: JP6232846 ;

Publication Date: 1994-08-19 ;

Inventor(s): SANO YOSHINAO ;

Applicant(s): TOSHIBA CORP ;

Application Number: JP19930032564 19930129 ;

Priority Number(s): ;

IPC Classification: H04L1/00; G06F13/38; H04L7/027; H04L25/08 ;

Equivalents: ;

ABSTRACT:

PURPOSE: To detect erroneous data caused by waveform distortion or the like as error.

CONSTITUTION: This device is provided with a synchronizing sampling circuit 3 for sampling transmitting data (b) and generating synchronized received serial data (c), a reception control circuit 4 for generating a reception clock (d), a data sampling circuit 5 for generating serial data (e) by sampling the synchronized received serial data (c) synchronously with the reception clock (d), a received data register 6 for successively storing the serial data (e) at every reception clock and extracting a reception inspection code (f), an inspection circuit 7 for inspecting the error from the reception inspection code (f), a shift register 8 for successively sampling data at the plural bit points of the synchronizing received data (c) synchronously with a clock signal (a), and a non-coincidence detection circuit 9 for inspecting whether the sampled data at plural points are not coincident or not.

JP 06 - 232846

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The synchronization sampling circuit which is characterized by providing the following and which samples transmission data synchronizing with a clock signal, and generates synchronization receiving serial data, The reception-control circuit which generates a receive clock by the aforementioned clock signal and the aforementioned synchronization receiving serial data, While storing the aforementioned serial data one by one for every aforementioned receive clock with the data sampling circuit which synchronizes with a receive clock, samples the aforementioned synchronization receiving serial data, and generates serial data Transmission equipment equipped with the serial data receiving circuit which consists of a receiving data register which takes out a receiving inspection code, and an error check circuit which inspects a reception error from the aforementioned receiving inspection code. The shift register which samples the data of two or more points of the bit of the aforementioned synchronization receiving serial data one by one synchronizing with the aforementioned clock signal. The inharmonious inspection circuit which inspects whether an inequality is in the data of two or more points sampled by this shift register, and outputs the inspection result.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the transmission equipment which receives serial data.

[0002]

[Description of the Prior Art] An example of the serial data receiving circuit of the conventional transmission equipment is shown in drawing 5.

[0003] The serial data receiving circuit 1 consists of an oscillator circuit 2, the synchronous sampling circuit 3, the reception-control circuit 4, a data sampling circuit 5, a receiving data register 6, and an error check circuit 7.

[0004] Here, an oscillator circuit 2 generates Leto quicker than transmission Leto, i.e., main clock signal a of high frequency, and outputs it to the synchronous sampling circuit 3 and the reception-control circuit 4. The synchronous sampling circuit 3 consists of flip-flops which have a D-type function, in the synchronous sampling circuit 3, it samples and synchronizes the transmission data b by main clock signal a, generates the synchronous serial data c, and outputs it to the reception-control circuit 4 and the data sampling circuit 5.

[0005] The reception-control circuit 4 inputs the synchronous serial data c, detects the changing point, and outputs receive-clock d to the data sampling circuit 5 and the receiving data register 6 to the timing near the 1-bit center of the synchronous serial data c. The data sampling circuit 5 consists of flip-flops which have a D-type function, in the data sampling circuit 5, synchronizes the synchronization serial data c by receive-clock d, and outputs serial data e to the receiving data register 6. The receiving data register 6 has the function of a shift register, and while it shifts 1 bit of serial data e at a time one by one according to the timing of receive-clock d and stores data, it outputs receiving inspection-code f used for redundancy check among the stored data to the error check circuit 7. The error check circuit 7 inspects receiving inspection-code f, and outputs receiving error signal g.

[0006] Next, an operation of the serial data receiving circuit 1 is explained with reference to drawing 6.

[0007] First, the transmission data b input into the synchronous sampling circuit 3 at time t0 through a transmission line and a converter from the serial data receiving circuit 1 and other asynchronous transmission equipment. The transmission data b are sampled by the synchronous sampling circuit 3 to the timing of the standup of main clock signal a (clock 12) at time t1, and the synchronization serial data c is outputted. By this, receive-clock d is generated at time t2 in the 1-bit center, and it outputs to the data sampling circuit 5 in the reception-control circuit 4 till time t3.

[0008] The synchronization serial data c is sampled by the data sampling circuit 5 to the standup timing of receive-clock d at time t2, and serial data e is outputted. Serial data e is shifted one by one, and is stored at a time by 1 bit of receiving data registers 6, and receiving inspection-code f is outputted to the error check circuit 7.

[0009] When inspection is carried out in the error check circuit 7 and an error is detected, it is made for the data with which receiving error signal g was outputted to the circuit of the next step which carries out an illustration abbreviation, and was stored in the receiving data register 6 not to be used for

receiving inspection-code f. As for an error check, a Cyclic Redundancy Check, for example, a cyclic-code (CRCC) method, is used. The principle of this method carries out division of the information code (polynomial) by the fixed number (polynomial) by the transmitting side, adds it to an information code by making the remainder into an inspection code, and sends transmission data. And in a receiving side, once again, about transmission data, if it will judge with there being no error of a code if division is carried out and there is no remainder, and there is remainder, it will be the fixed thing to judge it as there being an error of a code.

[0010]

[Problem(s) to be Solved by the Invention] However, in the serial data receiving circuit 1 shown in drawing 5, when wave deformation of the strain of the so-called wave of transmission data, a noise, etc. becomes large, there is a problem that the error of transmission data may be undetectable.

[0011] For example, if it explains with reference to drawing 7 to drawing 6, since the synchronization serial data c is 0 at the time T1 before receive-clock d is outputted, when it is the standup of receive-clock d of time T2, in the data sampling circuit 5, the value which mistook serial data e for 0 is outputted. In such a case, although an error is generally detected in the error check circuit 7 which carries out a Cyclic Redundancy Check, since there are many wave cracks of the synchronization serial data c, when the number of bits which serial data e mistook exceeds the number of bits of receiving inspection-code f, an error is not detected by a certain probability, but there is a problem that the mistaken received data are used.

[0012] For example, if a 5-bit digital error is in information data when receiving inspection-code f added to information data by redundancy-izing is 4 bits, error detection may not be made in a certain probability.

[0013] if attenuation of the power of the transmission data which the converter which outputs the transmission data b in the serial data receiving circuit 1 inputs especially is large -- waveform distortion etc. -- **** -- an error may be undetectable as soon as it hears

[0014] Then, this invention offers transmission equipment with the high reliability which judges a reception error correctly, even if waveform distortion arises in receiving serial data.

[0015]

[Means for Solving the Problem] The synchronization sampling circuit which this invention samples transmission data synchronizing with a clock signal, and generates synchronization receiving serial data, The reception-control circuit which generates a receive clock by the clock signal and synchronization receiving serial data, While storing serial data one by one for every receive clock with the data sampling circuit which synchronizes with a receive clock, samples synchronization receiving serial data, and generates serial data In transmission equipment equipped with the serial data receiving circuit which consists of a receiving data register which takes out a receiving inspection code, and an error check circuit which inspects a reception error from a receiving inspection code The shift register which samples the data of two or more points of the bit of synchronization receiving serial data one by one synchronizing with a clock signal, It inspects whether an inequality is in the data of two or more points sampled by this shift register, and the inharmonic inspection circuit which outputs the inspection result is prepared.

[0016]

[Function] Synchronizing with a clock signal, a sampling is carried out one by one for the data of two or more points of the bit of synchronization receiving serial data by the above-mentioned composition, it is inspected whether an inequality is in this sampled data of two or more points, and this inspection result is outputted. consequently, inaccurate data, such as waveform distortion, -- it is certainly detectable as an error

[0017]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0018] Drawing 1 is the block diagram of the transmission equipment in which one example of this invention is shown. A point which the same sign as drawing 5 shows the same portion or a considerable portion, and is different from drawing 5 is having newly added the shift register 8 and the inharmonic

inspection circuit 9.

[0019] A shift register 8 inputs main clock signal a, the synchronization serial data c, and the load enabling signal h, and when the load enabling signal h is 1, it is a thing of two or more points which samples and stores data about the value of the synchronization serial data c synchronizing with main clock signal a. It inspects whether the inharmonic inspection data i of the inharmonic inspection circuit 9 of two or more points stored in the shift register 8 correspond, and when not in agreement, the inharmonic signal j is outputted.

[0020] Next, an operation of this example is explained with reference to drawing 2.

[0021] First, the transmission data b are inputted into the synchronous sampling circuit 3 at time t0, and the transmission data b are sampled by the synchronous sampling circuit 3 to the timing of the standup of main clock signal a at time t1, and are outputted as synchronization serial data c. And in the reception-control circuit 4, when the beginning of the bit of the synchronization serial data c inputs, main clock signal a is counted from from, the load enabling signal h is outputted to time t2 at the time of the counted value of the center of a simultaneously of the synchronization serial data c, and the load enabling signal h is inputted into a shift register 8. In a shift register 8, the data of the synchronization serial data c are sampled by this, and it is stored one by one in every main clock signal a about three points, time t3, time t4, and time t5.

[0022] The inharmonic inspection data i stored in the shift register 8 are inspected like the example shown in drawing 3 in the inharmonic inspection circuit 9, and the inharmonic signal j is outputted. That is, three points of the inharmonic inspection data i are inputted into AND2 through AND1 and NOT 1-3, respectively, and, in the case of the above-mentioned example, the inharmonic inspection data i of three points are 1. Therefore, 1 is outputted from AND1, 0 is further inputted into a flip-flop by NOT4 through OR, and 0 is outputted as an inharmonic signal j synchronizing with a clock.

[0023] In addition, when the synchronization serial data c is data of 0 level altogether, 0 is outputted as inharmonic inspection data i from a flip-flop through AND2 to OR.

[0024] Thus, since the value of three points of the synchronization serial data c is equal when there is no strain of a wave etc. in the synchronization serial data c, as for the inharmonic signal j, 0 is outputted.

[0025] On the other hand, as the synchronization serial data c shows drawing 4, supposing waveform distortion etc. arises at time T1, about the time T2 of every main clock signal a, time T3, and time T4, the data of the synchronization serial data c are sampled with a shift register 8, and are stored one by one.

[0026] Although the inharmonic inspection data i stored in the shift register 8 are inputted into the inharmonic inspection circuit 9 as shown in drawing 3, since the data of three points are not in agreement, AND1 and AND2 to 1 is not outputted. Therefore, NOT4 outputs 1 and the inharmonic signal j is outputted as 1 with the input of this signal and a clock signal.

[0027] Thus, even if waveform distortion arises in receiving serial data, this can be detected for every bit and the serial data receiving circuit of transmission equipment with high failsafe reliability can be offered.

[0028] In addition, in this example, the circumference of central of having sampled [of the synchronization serial data c] data in the center mostly is [waveform distortion etc.] because it is few. Moreover, 1, 0, or since inaccurate data cannot be judged, it is made not to adopt this inaccurate data by processing of the latter part of a shift register 8 at this example, although correcting the inaccurate data corresponding to an inharmonic signal to the right data is also considered when it is inspected in the inharmonic inspection circuit 9 and an inharmonic signal is detected.

[0029]

[Effect of the Invention] Since it is inspected whether an inequality is in the data of two or more points of the bit of synchronization receiving serial data according to this invention as explained above, it can detect a wave crack as an error certainly, and it serves as reliable transmission equipment.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-232846

(43) 公開日 平成6年(1994)8月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 1/00		A 9371-5K		
G 0 6 F 13/38	3 5 0	8944-5B		
H 0 4 L 7/027				
25/08		Z 9199-5K		
		7741-5K		
			H 0 4 L 7/02	A
			審査請求 未請求 請求項の数1	FD (全6頁)

(21) 出願番号 特願平5-32564

(22) 出願日 平成5年(1993)1月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐野 芳直

東京都府中市東芝町1番地 株式会社東芝

府中工場内

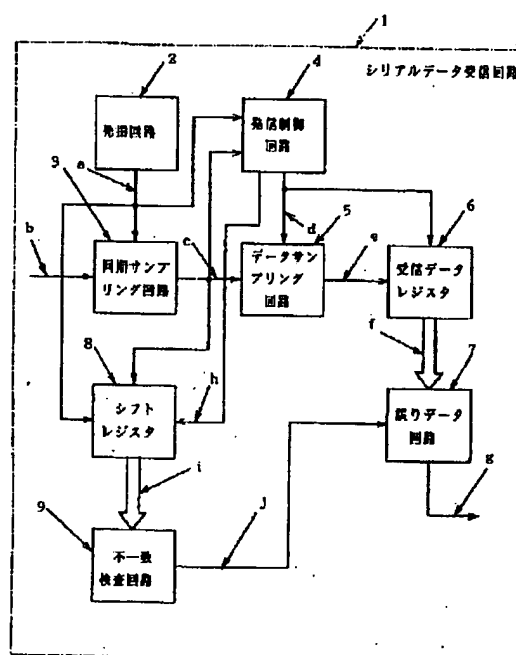
(74) 代理人 弁理士 紋田 誠

(54) 【発明の名称】 伝送装置

(57) 【要約】

【構成】 伝送データbをサンプリングして同期化受信シリアルデータcを生成する同期化サンプリング回路3と、受信クロックdを生成する受信制御回路4と、同期化受信シリアルデータcを受信クロックdに同期しサンプリングしてシリアルデータeを生成するデータサンプリング回路5と、受信クロック毎にシリアルデータeを順次格納すると共に、受信検査コードfを取り出す受信データレジスタ6と、受信検査コードfから誤りを検査をする検査回路7とを有し、同期化受信シリアルデータcのビットの複数点のデータをクロック信号aに同期して順次サンプリングするシフトレジスタ8と、サンプリングされた複数点のデータに不一致があるか否かを検査する不一致検査回路9とを設ける。

【効果】 波形ひずみ等による誤データをエラーとして検出することができる。



1

【特許請求の範囲】

【請求項1】 クロック信号に同期して伝送データをサンプリングして同期化受信シリアルデータを生成する同期化サンプリング回路と、前記クロック信号と前記同期化受信シリアルデータとにより受信クロックを生成する受信制御回路と、前記同期化受信シリアルデータを受信クロックに同期しサンプリングしてシリアルデータを生成するデータサンプリング回路と、前記受信クロック毎に前記シリアルデータを順次格納すると共に、受信検査コードを取り出す受信データレジスタと、前記受信検査コードから受信エラーを検査する誤り検査回路とからなるシリアルデータ受信回路を備える伝送装置において、前記同期化受信シリアルデータのビットの複数点のデータを前記クロック信号に同期して順次サンプリングするシフトレジスタと、

このシフトレジスタによりサンプリングされた複数点のデータに不一致があるか否かを検査し、その検査結果を出力する不一致検査回路とを備えることを特徴とする伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリアルデータを受信する伝送装置に関する。

【0002】

【従来の技術】 従来の伝送装置のシリアルデータ受信回路の一例を図5に示す。

【0003】 シリアルデータ受信回路1は、発振回路2と同期サンプリング回路3と受信制御回路4とデータサンプリング回路5と受信データレジスタ6と誤り検査回路7より構成される。

【0004】 ここで、発振回路2は、伝送レイトより速いレイト、つまり、高い周波数のメインクロック信号aを生成し、同期サンプリング回路3と受信制御回路4に対して出力するものである。同期サンプリング回路3は、Dタイプの機能を有するフリップフロップで構成され、同期サンプリング回路3では、伝送データbをメインクロック信号aでサンプリングして同期化して同期シリアルデータcを生成し、受信制御回路4とデータサンプリング回路5へ出力するものである。

【0005】 受信制御回路4は、同期シリアルデータcを入力してその変化点を検出し、同期シリアルデータcの1ビットの中央に近いタイミングで受信クロックdをデータサンプリング回路5と受信データレジスタ6とに出力するものである。データサンプリング回路5は、Dタイプの機能を有するフリップフロップで構成され、データサンプリング回路5では、同期化シリアルデータcを受信クロックdで同期化し、シリアルデータeを受信データレジスタ6へ出力するものである。受信データレジスタ6は、シフトレジスタの機能を有し、受信クロックdのタイミングに従ってシリアルデータeを1ビッ

2

トずつ順次シフトさせデータを格納する一方、格納されたデータのうち冗長検査に使用する受信検査コードfを誤り検査回路7へ出力するものである。誤り検査回路7は、受信検査コードfを検査し受信エラー信号gを出力するものである。

【0006】 次に、シリアルデータ受信回路1の作用を図6を参照して説明する。

【0007】 まず、シリアルデータ受信回路1と非同期の他の伝送装置から伝送路および変換器を介して伝送データbが時刻t0に同期サンプリング回路3へ入力する。伝送データbは、同期サンプリング回路3によって時刻t1にメインクロック信号a（クロック12）の立ち上がりのタイミングでサンプリングされ、同期化シリアルデータcが出力される。これによって、受信制御回路4では、1ビットの中央で時刻t2に受信クロックdを生成し、時刻t3までデータサンプリング回路5へ出力する。

【0008】 同期化シリアルデータcは、データサンプリング回路5により時刻t2に受信クロックdの立ち上がりタイミングでサンプリングされ、シリアルデータeが出力される。シリアルデータeは、受信データレジスタ6によって1ビットずつ順次シフトして格納され、また、受信検査コードfが誤り検査回路7に出力される。

【0009】 受信検査コードfは、誤り検査回路7で検査がされ、誤りが検出されたとき、受信エラー信号gが図示省略する次段の回路へ出力され受信データレジスタ6に格納されたデータを採用しないようにする。誤り検査は、巡回冗長検査、例えば、サイクリックコード（CRC）方式が用いられる。この方式の原理は、送信側で情報コード（多項式）を一定の数（多項式）で割算し、その余りを検査コードとして情報コードに付加して伝送データを送るものである。そして、受信側では、もう一度伝送データを一定の割算して余りがなければコードの誤りがないと判定し、また、余りがあれば、コードの誤りがあると判定するものである。

【0010】

【発明が解決しようとする課題】 しかしながら、図5に示したシリアルデータ受信回路1では、いわゆる伝送データの波形のひずみやノイズ等の波形変形が大きくなると伝送データの誤りを検出できない場合があるという問題がある。

【0011】 例えば、図6に対する図7を参照して説明すると、受信クロックdが出力される前の時刻T1に同期化シリアルデータcが0となっているため時刻T2の受信クロックdの立ち上がりのときデータサンプリング回路5では、シリアルデータeを0と誤った値を出力する。このような場合、一般に、巡回冗長検査をする誤り検査回路7で誤りを検出するが、同期化シリアルデータcの波形割れが多いため、シリアルデータeの誤ったビット数が受信検査コードfのビット数を越えると、ある

3

確率で誤りが検出されず、誤った受信データが用いられるという問題がある。

【0012】例えば、情報データに冗長化して付加される受信検査コードfが4ビットのとき、情報データに5ビットの符号誤りがあると、ある確率で誤り検出ができないことがある。

【0013】特に、シリアルデータ受信回路1では、伝送データbを出力する変換器が入力する伝送データのパワーの減衰が大きいと波形ひずみ等がおおきくなり、誤りを検出できない場合がある。

【0014】そこで、本発明は受信シリアルデータに波形ひずみが生じて受信エラーを正確に判定する信頼性の高い伝送装置を提供する。

【0015】

【課題を解決するための手段】本発明は、クロック信号に同期して伝送データをサンプリングして同期化受信シリアルデータを生成する同期化サンプリング回路と、クロック信号と同期化受信シリアルデータとにより受信クロックを生成する受信制御回路と、同期化受信シリアルデータを受信クロックに同期しサンプリングしてシリアルデータを生成するデータサンプリング回路と、受信クロック毎にシリアルデータを順次格納すると共に、受信検査コードを取り出す受信データレジスタと、受信検査コードから受信エラーを検査する誤り検査回路とからなるシリアルデータ受信回路を備える伝送装置において、同期化受信シリアルデータのビットの複数点のデータをクロック信号に同期して順次サンプリングするシフトレジスタと、このシフトレジスタによりサンプリングされた複数点のデータに不一致があるか否かを検査し、その検査結果を出力する不一致検査回路とを設けるようにしたものである。

【0016】

【作用】上記構成により、同期化受信シリアルデータのビットの複数点のデータがクロック信号に同期して順次サンプリングがされ、このサンプリングされた複数点のデータに不一致があるか否かが検査され、この検査結果が出力される。この結果、波形ひずみ等の不正なデータ確実にエラーとして検出することができる。

【0017】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0018】図1は、本発明の一実施例を示す伝送装置の構成図である。図5と同一符号は同一部分または相当部分を示し、図5と異なる点は、シフトレジスタ8と不一致検査回路9とを新たに加えたことである。

【0019】シフトレジスタ8は、メインクロック信号aと同期化シリアルデータcとロード許可信号hとを入力し、ロード許可信号hが1のとき、メインクロック信号aに同期して同期化シリアルデータcの値を複数点のサンプリングしてデータを格納するものである。不一致

4

検査回路9は、シフトレジスタ8に格納された複数点の不一致検査データiが一致するか否かを検査して、一致しないとき不一致信号jを出力するものである。

【0020】次に、本実施例の作用を図2を参照して説明する。

【0021】まず、伝送データbが時刻t0に同期サンプリング回路3へ入力され、伝送データbは同期サンプリング回路3によって時刻t1にメインクロック信号aの立ち上がりのタイミングでサンプリングされ、同期化シリアルデータcとして出力される。そして、受信制御回路4では、同期化シリアルデータcのビットの最初が入力したときからメインクロック信号aをカウントして、同期化シリアルデータcのほぼ中央のカウント値のときロード許可信号hを時刻t2に出力してロード許可信号hがシフトレジスタ8に入力される。これによって、シフトレジスタ8では、メインクロック信号a毎に時刻t3、時刻t4、時刻t5の3点について同期化シリアルデータcのデータがサンプリングされ順次格納される。

【0022】シフトレジスタ8に格納された不一致検査データiは、図3に示す例の如く的不一致検査回路9で検査され不一致信号jが出力される。すなわち、不一致検査データiの3点は、それぞれAND1およびNOT1~3を経てAND2に入力し、上記例の場合、3点の不一致検査データiは1である。したがって、AND1から1が出力され、さらにORを経てNOT4で0がフリップフロップに入力され、クロックに同期して0が不一致信号jとして出力される。

【0023】なお、同期化シリアルデータcが全て0レベルのデータるときAND2からORを経てフリップフロップから0が不一致検査データiとして出力される。

【0024】このように、同期化シリアルデータcに波形のひずみ等がないとき、同期化シリアルデータcの3点の値は等しいから不一致信号jは0が出力される。

【0025】一方、同期化シリアルデータcが、図4に示すように、時刻T1に波形ひずみ等が生じたとすると、メインクロック信号a毎の時刻T2、時刻T3、時刻T4について同期化シリアルデータcのデータがシフトレジスタ8でサンプリングされ順次格納される。

【0026】シフトレジスタ8に格納された不一致検査データiは、図3に示す如く的不一致検査回路9に入力するが、3点のデータは一致しないからAND1およびAND2から1が出力されない。したがって、NOT4が1を出力し、この信号とクロック信号の入力と共に、不一致信号jが1として出力される。

【0027】このように、受信シリアルデータに波形ひずみが生じて、1ビット毎にこれを検出することができ、フェイルセーフな信頼性の高い伝送装置のシリアルデータ受信回路を提供できる。

【0028】なお、本実施例では、同期化シリアルデー

5

6

タcのほぼ中央でデータをサンプリングしているのは、中央周辺が波形ひずみ等が少ないからである。また、不一致検査回路9で検査され不一致信号が検出されたときに、不一致信号に対応する不正データを正しいデータに修正することも考えられるが、不正データは1か0か判断できないため本実施例では、この不正データをシフトレジスタ8の後段の処理で採用しないようにしている。

【0029】

【発明の効果】以上説明したように本発明によれば、同期化受信シリアルデータのビットの複数点のデータに不一致があるか否かが検査されるから波形割れを確実にエラーとして検出することができ、信頼性の高い伝送装置となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す伝送装置の構成図である。

【図2】図1の伝送装置の第1の作用を示す説明図である。

【図3】図1の伝送装置の不一致検査回路の一例を示す

構成図である。

【図4】図1の伝送装置の第2の作用を示す説明図である。

【図5】従来例を示す伝送装置の構成図である。

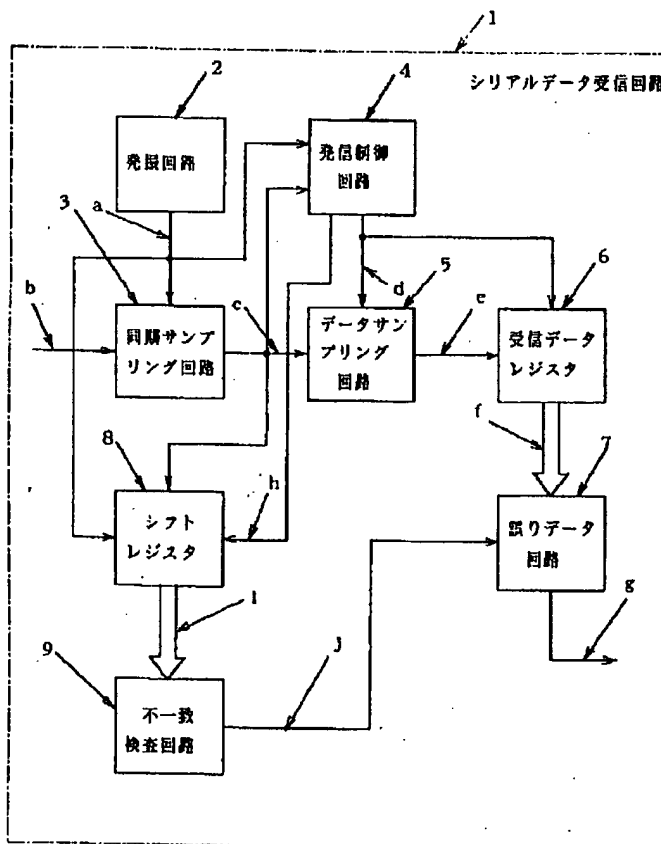
【図6】図5の伝送装置の第1の作用を示す説明図である。

【図7】図5の伝送装置の第2の作用を示す説明図である。

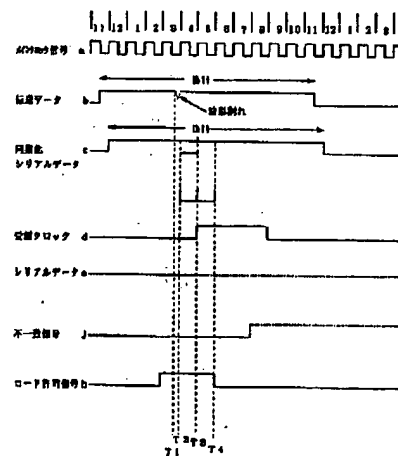
【符号の説明】

- | | |
|---|-------------|
| 1 | シリアルデータ受信回路 |
| 2 | 発振回路 |
| 3 | 同期サンプリング回路 |
| 4 | 受信制御回路 |
| 5 | データサンプリング回路 |
| 6 | 受信データレジスタ |
| 7 | 誤り検査回路 |
| 8 | シフトレジスタ |
| 9 | 不一致検査回路 |

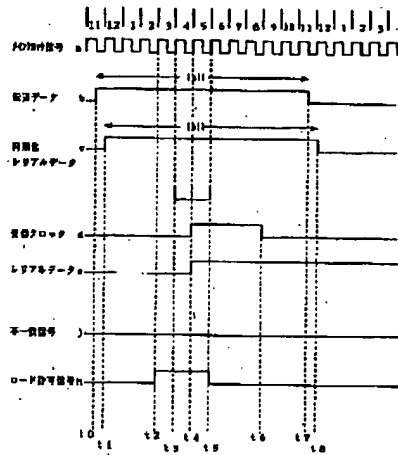
【図1】



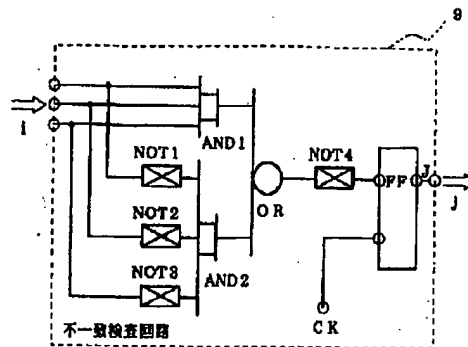
【図4】



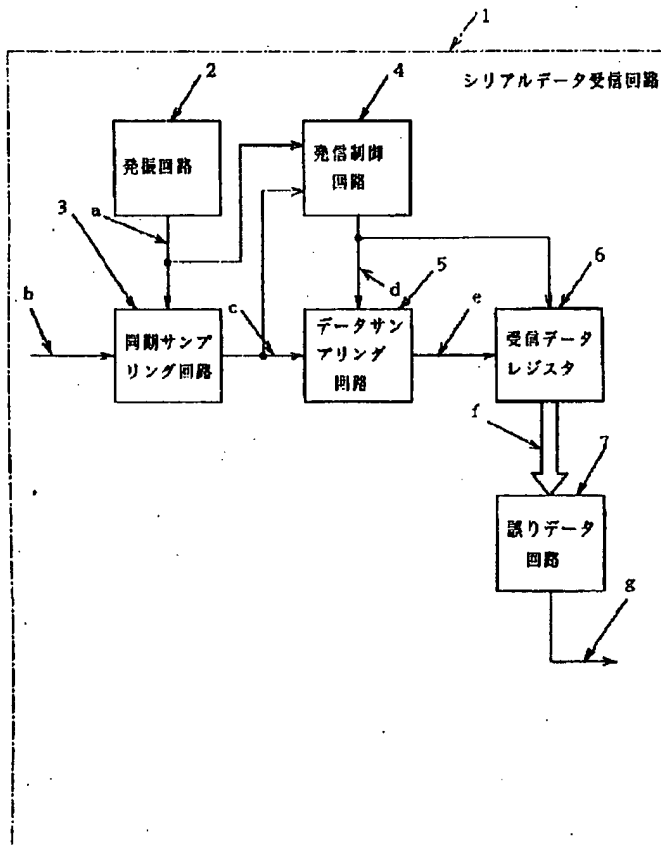
【図2】



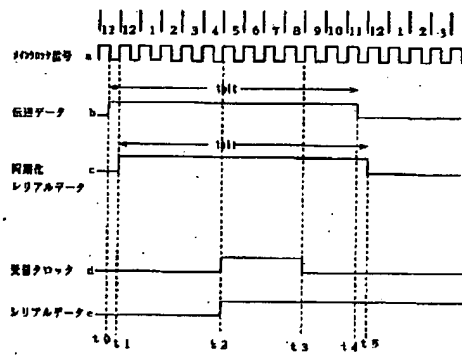
【図3】



【図5】



【図6】



【図7】

